



Le scriverò brevemente anche alcune scelte di progetto:  
 La scrittura nella FIFO deve avvenire ogni 8 cicli di CK, quindi usiamo come WE nella FIFO il TC di un Counter modulo 8. Però noi vogliamo che la scrittura sia effettuata solo fino al riempimento della FIFO, per questo motivo usiamo il FF JK, in modo che una volta che QF diventa alto, la scrittura viene inibita.

Per quanto riguarda OE, esso deve divenire attivo solo dopo che le scritture nella FIFO sono terminate cioè quando Qdi JK è 1, e ogni 8 cicli di CK (cioè il tempo per consentire al PISO un uscite di 8 bit). Per questo motivo uso il FF-D per ritardare il TC del counter 1 meno un AND con Qdi JK.

"Combinare" i bit per i collegamenti, ho assunto che si fanno un semplice XOR bit a bit.

Per motivi SYNC\_OUT, uso il segnale QF, ritardato di un ciclo di CK, come si vede dalla temporizzazione.

Per quanto riguarda l'inizializzazione, mi sembra sufficiente far coincidere i segnali START e RESET JK con SYNC\_IN

