

Reti Logiche

Appello del 16 aprile 2007

Cognome e nome:

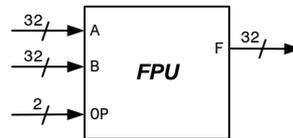
Matricola:

N.O. V.O.

(D1 – 50%) Un'interfaccia IFCDU (*Complex Division Unit*) opera come *coprocessore* per l'esecuzione della divisione su numeri complessi, rappresentati come coppie di numeri reali floating-point a 32 bit. L'interfaccia riceve dalla CPU PD-32 due operandi complessi $X = X_R + jX_I$, $Y = Y_R + jY_I$, dove $j = \sqrt{-1}$ è l'unità immaginaria, e trasmette alla CPU un risultato $Z = Z_R + jZ_I$, calcolato secondo la nota formula:

$$Z = \frac{X}{Y} = \frac{(X_R Y_R + X_I Y_I) + j(X_I Y_R - X_R Y_I)}{(Y_R^2 + Y_I^2)}$$

Progettare l'hardware dell'interfaccia, assumendo disponibile *una singola* unità aritmetica floating-point FPU (*Floating-Point Unit*) che, in funzione di un codice di controllo OP, sia in grado di eseguire le operazioni su numeri reali indicate a fianco, ciascuna in un tempo massimo pari a 8 periodi di System Clock. (Si trascurino i casi eccezionali, come divisione per 0, etc.)



OP	funzione
0 0	$F = A + B$
0 1	$F = A - B$
1 0	$F = A \cdot B$
1 1	$F = A / B$

(D2 – 10%) Fra tutte le possibili funzioni di commutazione $f(x, y)$ di due variabili, quali sono operatori universali?

(D3 – 20%) Progettare un circuito combinatorio per la moltiplicazione binaria di numeri interi a 16 bit in complemento a 2, basato su memorie ROM e addizionatori, che faccia uso dell'identità

$$(x + y)^2 - (x - y)^2 = 4xy$$

(D4 – 20%) Si consideri uno shift-register a 3 bit, con ingresso seriale X e uscita seriale Y .

- (a) Determinare il diagramma degli stati della macchina sequenziale corrispondente.
- (b) Trovare almeno una sequenza di ingresso tale che la macchina, partendo dallo stato 000, passi una e una sola volta per *tutti* gli altri stati e ritorni allo stato di partenza.

Ai sensi della legge n. 675 del 31/12/96, il/la sottoscritto/a autorizza la pubblicazione su web dei risultati della presente prova.